

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局(43)国際公開日
2004年10月14日 (14.10.2004)

PCT

(10)国際公開番号
WO 2004/088840 A1(51)国際特許分類⁷: H03H 9/17, 3/02, H01L 41/107, 41/22

(21)国際出願番号: PCT/JP2004/004507

(22)国際出願日: 2004年3月30日 (30.03.2004)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2003-094372 2003年3月31日 (31.03.2003) JP

(71)出願人(米国を除く全ての指定国について): 宇部興産株式会社 (UBE INDUSTRIES, LTD.) [JP/JP]; 〒7558633 山口県宇部市大字小串1978番地の96 Yamaguchi (JP).

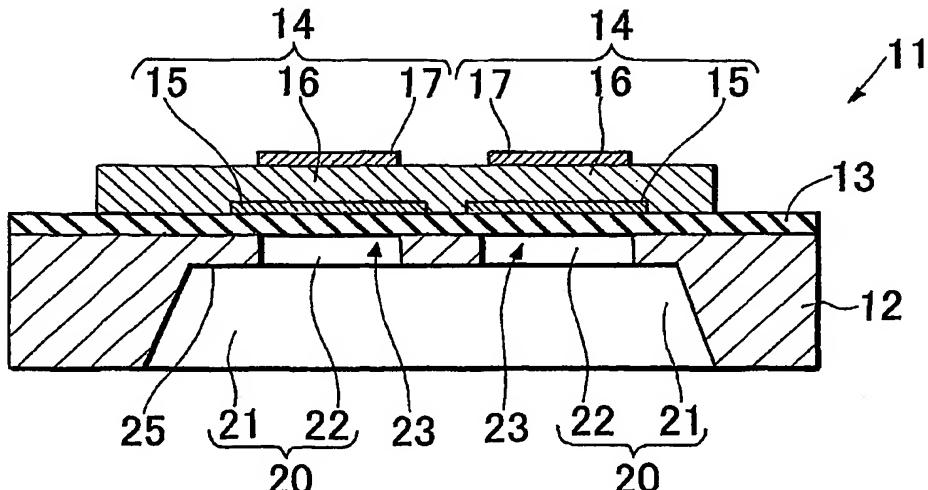
(72)発明者; および

(75)発明者/出願人(米国についてのみ): 長尾圭吾 (NAGAO, Keigo) [JP/JP]; 〒7558633 山口県宇部市大字小串1978番地の5 宇部興産株式会社 宇部研究所内 Yamaguchi (JP). 西村浩介 (NISHIMURA, Kosuke) [JP/JP]; 〒7558633 山口県宇部市大字小串1978番地の5 宇部興産株式会社 宇部研究所内 Yamaguchi (JP). 山田哲夫 (YAMADA, Tetsuo) [JP/JP]; 〒7558633 山口県宇部市大字小串1978番地の5 宇部興産株式会社 宇部研究所内 Yamaguchi (JP). 大谷修 (OTANI, Osamu) [JP/JP]; 〒3700021 群馬県高崎市西横手町1番地1 株式会社ルネサス東日本セミコンダクタ群馬デバイス本部内 Gunma (JP). 松崎栄 (MATSUZAKI, Sakae) [JP/JP]; 〒3700021 群馬県高崎市西横手町1番地1 株式会社ルネサス東日本セミコンダクタ群馬デバイス本部内 Gunma (JP).

(統葉有)

(54)Title: PIEZOELECTRIC THIN FILM DEVICE AND METHOD OF PRODUCING THE SAME

(54)発明の名称: 圧電薄膜デバイス及びその製造方法



WO 2004/088840 A1

(57) Abstract: A piezoelectric thin film device (10) comprising a substrate (12) having a vibration space (20), and a piezoelectric lamination structure (14) formed on the upper surface of the substrate, the piezoelectric lamination structure comprising a piezoelectric film (16) and a lower electrode (15) and an upper electrode (17) which are formed on opposite surfaces thereof, respectively, the vibration space (20) being so formed as to allow the vibration of a vibrating section (23) constituted by including at least part of the piezoelectric lamination structure (14) and part of an insulating layer (13). The vibrating space (20) is composed of a first via hole (21) formed to face the upper surface from the lower surface of the substrate (12) so as to form an intermediate surface (25) in the substrate, and a second via hole (22) formed to face the upper surface of the substrate from an intermediate surface (23) so as to be positioned inside the first via hole (21) as seen vertically.

(57)要約: 振動用空間 (20) を有する基板 (12) と、この基板の上面側に形成された圧電積層構造体 (14) とを有しており、この圧電積層構造体は圧電体膜 (16) とその両面にそれぞれ形成された下部電極 (15) 及び上部電極 (17) とを含み、振動用空間 (20) は圧電

(統葉有)



(74) 代理人: 山下 穣平 (YAMASHITA, Johei); 〒1050001
東京都港区虎ノ門五丁目13番1号虎ノ門40MT
ビル 山下国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

積層構造体(14)の少なくとも一部及び絶縁体層(13)の一部を含んで構成される振動部(23)の振動を許容するように形成されている圧電薄膜デバイス(10)。振動用空間(20)は、基板内に中間面(25)を形成するように基板(12)の下面から上面に向けて形成された第1のピアホール(21)と、上下方向に見て第1のピアホール(21)の内側に位置するように中間面(23)から基板の上面に向けて形成された第2のピアホール(22)とにより構成されている。

明細書

圧電薄膜デバイス及びその製造方法

5 技術分野：

本発明は、圧電体膜を利用した圧電薄膜共振器の単独または複数個の組み合せを有してなる圧電薄膜デバイス及びその製造方法に関するものであり、更に詳細に記せば、通信機用フィルタに使用され得る上記圧電薄膜デバイス及びその製造方法に関する。

10

背景技術：

圧電現象を応用したデバイスは広範な分野で用いられている。携帯機器の小型化と省力化が進む中で、R F用およびI F用フィルタとして弹性表面波（Surface Acoustic Wave : SAW）デバイスの使用が拡大している。SAWフィルタは設計および生産技術の向上によりユーザーの厳しい要求仕様に対応してきたが、利用周波数の高周波数化と共に特性向上の限界に近づき、電極形成の微細化と安定した出力確保との両面で大きな技術革新が必要となってきた。

一方、圧電体薄膜の厚み振動を利用した薄膜バルク波共振器（Thin Film Bulk Acoustic Resonator：以下「F BAR」という）、積層型薄膜バルク波共振器およびフィルタ（Stacked Thin Film Bulk Acoustic Resonators and Filters：以下「S BAR」という）は、基板に設けられた薄い支持膜の上に、主として圧電体より成る薄膜と、これを駆動する電極とを形成したものであり、ギガヘルツ帯での基本共振が可能である。F BARまたはS BARでフィルタを構成すれば、著しく小型化でき、かつ低損失・広帯域動作が可能な上に、半導体集積回路と一体化することができるので、将来の超小型携帯機器への応用が期待されている。

このような弹性波を利用した共振器またはフィルタ等に応用されるF BARまたはS BARなどの圧電薄膜共振器は、以下のようにして製造される。

シリコンなどの半導体単結晶基板、またはシリコンウェハの表面に多結晶ダイヤモンドまたはエリンバーなどの恒弾性金属などを成膜してなる基板の表面上に、種々の薄膜形成方法によって、誘電体薄膜、導電体薄膜またはこれらの積層膜からなる下地膜を形成する。この下地膜上に圧電体薄膜を形成し、さらに必要に応
5 じた上部構造を形成する。各膜の形成後に、または全ての膜を形成した後に、各々の膜に物理的処理または化学的処理を施すことにより、微細加工またはパターニングを行う。次に、湿式法に基づく異方性エッチングにより基板を加工し、
10 圧電体薄膜の一部を含んでなる振動部の下方に位置する基板部分を除去して、振動部を含む浮き構造を作製し、最後に1デバイス単位に分離することにより圧電薄膜共振器を得る。

例えば、従来知られている圧電薄膜共振器は、基板の上面に下地膜、下部電極、圧電体薄膜および上部電極を形成した後に、基板の下面側から振動部となる部分の下方にある基板部分を除去して、ビアホールを形成することにより製造されている（例えば、特開昭58-153412号公報及び特開昭60-142607号公報参照）。基板がシリコンからなるものであれば、加熱KOH水溶液を使用してシリコン基板の一部を下面（裏面）からエッチングして取り去ることにより、ビアホールを形成する。これにより、シリコン基板の上面側において、圧電体膜が複数の金属電極の間に挟み込まれた構造体の縁部をビアホールの周囲の部分で支持した形態を有する共振器を作製できる。

しかしながら、KOHなどのアルカリを使用したウェットエッチングを行うと、(111)面に平行にエッチングが進行するため、(100)シリコン基板表面に対して54.7度の傾斜でエッチングが進行し、隣り合う共振器の間の距離を著しく大きくしなければならない。例えば、厚さ550μmのシリコンウェハの上に構成された約150μm×150μmの平面寸法を有するデバイスは、約9
25 30μm×930μmの裏面側エッチング開口部を必要とし、隣り合う共振器の中心間距離は930μm以上になってしまふ。このことは、FBARの集積化を妨げるばかりでなく、隣り合う圧電薄膜共振器を接続する金属電極が長くなり、その電気抵抗が大きくなるために、圧電薄膜共振器を複数個組み合わせて作製される圧電薄膜デバイスの挿入損失が著しく大きくなるという問題がある。また、
30 開口部930μmというような大きなビアホールの形成された基板は破損しやす

くなるばかりでなく、最終製品の取得量（個数）即ち基板上の圧電薄膜デバイスの歩留まりも制限を受け、基板表面の約 1 / 20 の領域を有効なデバイス領域として利用できるだけとなる。一方、複数個の共振器にまたがるような大きなピアホールを形成することも考えられるが、その場合にはピアホールはますます大き
5 くなり、デバイスの強度が著しく低下して、更に破損しやすくなる。

圧電薄膜デバイスに応用される F B A R または S B A R などの圧電薄膜共振器を製造する従来の第 2 の方法は、空気ブリッジ式 F B A R デバイスを作ることである（例えば、特開平 2 - 1 3 1 0 9 号公報参照）。通常、最初に犠牲層（Sacrificial layer）を設置し、次にこの犠牲層の上に圧電薄膜共
10 振器を製作する。プロセスの終わりまたは終わり近くに、犠牲層を除去して、振動部を形成する。処理はすべて基板の上面側で行なわれるから、この方法は、基板両面におけるパターンの整列および大面積の基板下面側開口部を必要としない。
犠牲層として燐石英ガラス（P S G）を使用した空気ブリッジ式の F B A R / S
B A R デバイスの構成と製造方法も開示されている（例えば、特開 2 0 0 0 - 6
15 9 5 9 4 号公報参照）。

しかしながら、この方法においては、エッチングによる基板上面への空洞形成、熱 C V D (Chemical Vapor Deposition) 法による基板上面側への犠牲層の堆積、C M P (Chemical Mechanical Polishing) 研磨による基板上面の平坦化および平滑化、犠牲層上への
20 下部電極、圧電体および上部電極の堆積とパターン形成という一連の工程の後に、空洞まで貫通するピア（穴）を開け、基板上面側に形成した圧電積層構造体をレジスト等で保護して、ピアを通してエッチング液を浸透させることにより犠牲層を空洞から除去する、という長くて複雑な工程を必要とし、パターン形成に使用するマスク数も大幅に増加する。製造工程が長くて複雑になると、それ自体、デ
25 バイスの高コスト化をもたらすと共に、製品の歩留りが低下して、更にデバイスを高コストなものにしてしまう。このような高価なデバイスを移動体通信機用の汎用部品として普及させることは困難である。また、燐石英ガラス（P S G）などの犠牲層を除去するために使用するエッチング液が、圧電積層構造体を構成する下部電極、圧電体および上部電極の各層を浸食してしまうので、前記の上部構
30 造に使用できる材料が著しく限定されるばかりでなく、所望の寸法精度を有する

F B A R または S B A R の構造を作製することが難しいという深刻な問題がある。

上記の基板下面側から異方性エッティングで振動用空間としてのピアホールを形成する方式と、基板上面側のみで空気ブリッジを形成する方式との種々の問題点を解決するために、基板下面側から D e e p R I E (深掘り型反応性イオンエッティング) 法を用いて、基板面に対して垂直な側壁を有するピアホールを形成することにより振動用空間を形成する方式の圧電薄膜デバイスの製造方法が提案されている（例えば、国際公開 [W O] 2 0 0 4 / 0 0 1 9 6 4 号公報参照）。この方式によれば、ピアホールの側壁が垂直であるため、隣り合う圧電薄膜共振器を空気ブリッジ方式と同程度まで近づけることができるにもかかわらず、空気ブリッジ方式のような複雑な工程を一切必要としない。しかしながら、D e e p R I E 法による基板のエッティング加工においては、製造工程でハンドリング可能な厚み例えば $200 \mu m$ ~ $600 \mu m$ 厚の基板を使用した場合に、基板面内の位置によって若干のエッティング速度のばらつきがある。このため、形成される振動用空間の形状特に圧電積層構造体に面する基板開口部の形状は、圧電薄膜共振器が形成される基板面内の位置によって異なるようになる。そのため、所要の共振周波数を持つ圧電薄膜共振器の作製が困難で、また 1 つの基板に複数の圧電薄膜共振器を作製する場合には複数の圧電薄膜共振器間で共振周波数にばらつきが生ずるという問題があった。

F B A R および S B A R は、薄膜中における厚み方向の弹性波の伝播によって共振を得ているため、基板上の絶縁層、下部電極、圧電体薄膜、上部電極などから構成される圧電積層構造体の膜厚均一性はもとより、振動用空間の形状精度に よっても、特性が大きな影響を受ける。このため、基板内で特性の均一な複数の圧電薄膜デバイスを得ることが著しく困難になっている。

このような理由により、ギガヘルツ帯域で十分な性能を発揮する圧電薄膜デバイスは、未だ得られていない。したがって、工程が単純で、基板面内の位置による特性のばらつきのない圧電薄膜デバイスの製造方法の確立と、それによって製造された特性の安定した圧電薄膜デバイスの実現が強く望まれている。

発明の開示：

本発明は上記問題点に鑑みてなされたもので、その目的は、工程が単純で、基

板面内の位置によらず、圧電積層構造体に面する振動用空間を良好に形成することができる圧電薄膜デバイスの製造方法、及びこの方法により製造される圧電薄膜デバイスを提供することである。

以上の如き目的を達成すべく、振動用空間の形成方法について鋭意検討した結果、本発明者は、基板下面側より基板の厚みより小さな深さを持つ第1のピアホールを形成し、そのピアホールの底面を基準として第2のピアホールを形成することにより振動用空間を形成することが、圧電薄膜デバイスの特性の安定化及び低コスト化の両面で最も好ましい解決手段であることを見出した。

即ち、本発明によれば、以上の如き目的を達成するものとして、

振動用空間を有する基板と、該基板の上面側に形成された圧電積層構造体とを有しており、該圧電積層構造体は圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の少なくとも一部を含んで構成される振動部の振動を許容するように形成されている圧電薄膜デバイスであって、前記振動用空間は、前記基板内に中間面を形成するように前記基板の下面から上面に向けて形成された第1のピアホールと、上下方向に見て前記第1のピアホールの内側に位置するように前記中間面から前記基板の上面に向けて形成された第2のピアホールとにより構成されていることを特徴とする圧電薄膜デバイス、が提供される。

本発明の一態様においては、前記基板の上面側に複数の前記振動部が形成されており、前記第1のピアホールが前記複数の振動部のそれぞれのための前記振動用空間の一部を共有するように形成されており、さらに、前記中間面から前記複数の振動部のそれぞれに対応して複数の前記第2のピアホールが形成されている。

本発明の一態様においては、上下方向に見て前記第2のピアホールが前記第1のピアホールの少なくとも $2 \mu m$ 内側に位置する。本発明の一態様においては、前記第2のピアホールの深さが $10 \mu m \sim 150 \mu m$ である。

更に、本発明によれば、以上の如き目的を達成するものとして、

上記のような圧電薄膜デバイスを製造する方法であって、前記基板の振動用空間を形成するに際して、基板材の下面から上面に向けて該基板材内に底面を形成するように第1のピアホールを形成し、その後、上下方向に見て前記第1のピアホールの内側に位置するように前記底面から前記基板材の上面に向けて第2のビ

アホールを形成し、これにより前記基板材内に残留する前記底面の部分により前記中間面を形成することを特徴とする、圧電薄膜デバイスの製造方法、が提供される。

本発明の一態様においては、前記圧電薄膜デバイスは前記基板の上面側に複数の前記振動部を有しており、前記第1のビアホールを前記複数の振動部につき共通に形成し、前記底面から前記複数の振動部のそれぞれに対応して複数の前記第2のビアホールを形成する。本発明の一態様においては、前記基板材としてSOIウェハを使用し、その絶縁層の一部により前記第1のビアホールの底面を構成する。本発明の一態様においては、前記第2のビアホールを深掘り型反応性イオシンエッチング法により形成する。

以上のような本発明によれば、工程が単純で、基板面内の位置によらず、振動部に面する振動用空間を良好に形成することができ、もって基板面内の位置による特性のばらつきがなく特性の安定した圧電薄膜デバイスが提供される。

15 図面の簡単な説明：

図1は、本発明による圧電薄膜デバイス（圧電薄膜共振器）の実施形態を示す模式的平面図である。

図2は、図1のX-X断面図である。

図3は、本発明による圧電薄膜デバイス（圧電薄膜フィルタ）の実施形態を示す模式的平面図である。

図4は、図3のX-X断面図である。

図5は、本発明による圧電薄膜デバイス（圧電薄膜フィルタ）の実施形態を示す模式的平面図である。

図6は、図5のX-X断面図である。

図7は、マイクロ波パッケージに実装された本発明の圧電薄膜デバイスの一実施形態を示す模式的断面図である。

図8は、比較例で使用した圧電薄膜デバイス（圧電薄膜共振器）を示す模式的平面図である。

図9は、図8のX-X断面図である。

図10は、比較例で使用した圧電薄膜デバイス（圧電薄膜フィルタ）を示す模

式的平面図である。

図11は、図10のX-X断面図である。

図12は、比較例で使用した圧電薄膜デバイス（圧電薄膜共振器）を示す模式的平面図である。

5 図13は、図12のX-X断面図である。

図14A及び図14Bは、図1の圧電薄膜デバイスの製造方法の実施形態を説明するための模式的断面図である。

発明を実施するための最良の形態：

10 以下に、本発明の実施の形態について詳細に説明する。

図1は本発明による圧電薄膜デバイス（圧電薄膜共振器10）の実施形態を示す模式的平面図であり、図2はそのX-X断面図である。これらの図において、圧電薄膜共振器10は基板12、該基板12の上面に形成された絶縁体層13および該絶縁体層13の上に形成された圧電積層構造体14を有する。圧電積層構造体14は絶縁体層13の上に形成された下部電極15、該下部電極15の一部を覆うようにして絶縁体層13の上に形成された圧電体膜16および該圧電体膜16の上に形成された上部電極17からなる。

基板12には、その下面から上面に向けて振動用空間20を構成する第1のビアホール21が形成されている。さらに、第1のビアホール21の底面に相当する下向きの中間面25から基板上面に向けて振動用空間20を構成する第2のビアホール22が形成されている。図1から明らかなように、第2のビアホール22は、上下方向に見て前記第1のビアホール21の内側に位置する。かくして、第1のビアホール21及び第2のビアホール22により振動用空間20が構成される。

25 絶縁体層13の一部は振動用空間20に向けて露出している。この絶縁体層13の露出部分、およびこれに対応する圧電積層構造体14の部分が振動部（振動ダイヤフラム）23を構成する。かくして、振動用空間20は、圧電積層構造体14の一部及び絶縁体層13の一部により構成される振動部23の振動を許容するように形成されている。

30 なお、本発明においては、基板12の上面側に圧電積層構造体14が形成され

るのであるが、これは、図2に示すように、基板12の上面に他の層（図2の場合、絶縁体層13）を形成し、その層を介して圧電積層構造体14を形成してもよいし、あるいは、基板12の表面層を処理して基板内に他の層（例えば、絶縁体層）を形成し、その上に圧電積層構造体14を形成する場合のように、基板15 2の上面に直接圧電積層構造体14を形成してもよい。また、基板12と圧電積層構造体14との間に他の層を介在させる場合も、1つの層に限定されることはなく複数層を介在させてもよい。また、介在させる層は絶縁層に限定されない。

基板12としては、Si(100)単結晶などの単結晶からなるもの、またはSi単結晶などの基材の表面にシリコン、ダイヤモンドその他の多結晶膜を形成してなるものを用いることができる。また、基板12としては、その他の半導体さらには絶縁体からなるものを用いることも可能である。

絶縁体層13としては、例えば酸化シリコン(SiO₂)を主成分とする誘電体膜、窒化シリコン(SiN_x)を主成分とする誘電体膜、および酸化シリコンを主成分とする誘電体膜と窒化シリコンを主成分とする誘電体膜との積層膜を用いることができる。この絶縁体層13の材質について、主成分とは、誘電体膜中の含有量が50当量%以上である成分を指す。誘電体膜は単層からなるものであってもよいし、密着性を高めるための層などを付加した複数層からなるものであってもよい。絶縁体層13の厚さは、例えば厚さ2.0μm未満である。絶縁体層13の形成方法としては、基板12の表面の熱酸化法やCVD (Chemical 20 Vapor Deposition) 法が例示される。また、本発明においては、エッチングにより、振動部23に対応する領域の絶縁体層13を総て除去して、下部電極15が振動用空間20に向けて露出した構造の圧電薄膜共振器も採用することができる。このように、振動部23に対応する領域の絶縁体層13を総て除去することにより、共振周波数の温度特性は若干悪化するものの、音響的品質係数(Q値)が向上するという利点がある。

下部電極15は、スパッタ法や蒸着法で形成された金属層、及び必要に応じて該金属層と絶縁体層13との間に形成される密着金属層を積層することにより構成され、その厚さは、例えば50nm～500nmである。材質として特に限定はないが、金(Au)、白金(Pt)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、タンゲステン(W)などが好適に利用される。所定の形状

にパターニングする方法としては、ドライエッチングやウェットエッチングなどのフォトリソグラフィー技術や、リフトオフ法を適宜使用することができる。

圧電体膜 16 は、窒化アルミニウム (AlN) 、酸化亜鉛 (ZnO) 、硫化カドミウム (CdS) 、チタン酸鉛 (PbTiO₃、PTと略記される) 、チタン酸ジルコン酸鉛 (Pb(Zr、Ti)O₃、PZTと略記される) などからなるものが用いられる。特に AlN は、弹性波の伝播速度が速く、高周波帯域で動作する圧電薄膜共振器または圧電薄膜フィルタなどの圧電薄膜デバイス用の圧電体膜として適している。その厚さは、例えば 0.5 μm ~ 3.0 μm である。所定の形状にパターニングする方法としては、ドライエッチングやウェットエッチングなどのフォトリソグラフィー技術を適宜使用することができる。

上部電極 17 は、下部電極 15 と同様にスパッタ法や蒸着法などにより形成された金属層が使用される。材質としては、金 (Au) 、白金 (Pt) 、チタン (Ti) 、アルミニウム (Al) 、モリブデン (Mo) 、タングステン (W) などが好適に利用される。上部電極 17 の厚さは、例えば 50 nm ~ 500 nm である。所定の形状にパターニングする方法としては、下部電極 15 と同様にドライエッチングやウェットエッチングなどのフォトリソグラフィー技術や、リフトオフ法が適宜使用される。

次に、図 14A 及び図 14B を参照して図 1 及び図 2 の実施形態の圧電薄膜デバイスの製造方法の実施形態、特に基板 12 の振動用空間 20 の形成方法について説明する。

先ず、図 14A に示されるように、上記基板 12 の素材である基板材 12' の上面に、上記のような絶縁体層 13 及び圧電積層構造体 14 を形成する。

次に、絶縁体層 13 及び圧電積層構造体 14 に対する保護膜を形成した後に、基板材 12' の下面側から、水酸化カリウム (KOH) や TMAH (テトラメチルアンモニウムハイドロオキサイド) などのアルカリ系水溶液を利用した異方性エッチング法、または SF₆ ガスを利用したドライエッチング法を適用して、図 14B に示されるような第 1 のビアホール 21 を形成する。該第 1 のビアホール 21 は、基板材 12' の上面には到達しておらず、基板材 12' 内に下向きの底面 25' が形成される。この底面 25' は、基板材 12' の上面から距離 T の位置にある。

第1のピアホール21を形成した時点で、スプレー式フォトレジスト塗布装置等を用いて第1のピアホールの底面25'も含めて基板材12'の下面全体にフォトレジストを塗布する。さらに、形成すべき振動部に対応する部分のフォトレジストをフォトリソグラフィーにより除去し、このパターン化されたフォトレジストをマスクとして用いて、SF₆などを用いたドライエッティング法、またはSF₆ガスとC₄F₈ガスとを交互に用いるDeep RIE法により、絶縁体層13が露出するまで基板材12'を第1のピアホールの底面25'から基板材上面に向けてエッティングして、図1及び図2に示されるような第2のピアホール22を形成する。

これにより、第1のピアホールの底面25'の一部が中間面25として残り、図1及び図2に示される圧電薄膜デバイスが得られる。上下方向に見て第2のピアホール22は第1のピアホール21より距離Wだけ内側に位置する。即ち、中間面25の幅はWである。Wは、好ましくは2μm以上であり、例えば5μm～50μmである。

第2のピアホール22を形成する際には、第1のピアホールの底面25'にフォトレジストを塗布して、フォトリソグラフィーによりパターン形成する必要がある。塗布するフォトレジストの厚さは、第2のピアホール22の深さによって変わると、通常0.5μm～4μmである。底面25'の端部直近では、近接する側壁面の影響により、塗布されるフォトレジストの厚さに不均一が生じ易く、これがパターン精度低下の原因となる。更に、底面25'の端部直近では、エッティングによる加工精度自体も低下し易い。従って、中間面25の幅が小さすぎると、形成される第2のピアホール22の寸法精度が低下して、歩留まりが低下する傾向にある。逆に、中間面25の幅が大きすぎると、基板材あたりの最終製品の取得量が少なくなる傾向にある。また、圧電薄膜共振器を複数個組み合わせて圧電薄膜デバイスを作製する場合には、中間面25の幅が大きすぎると、隣り合う圧電薄膜共振器を接続する金属電極が長くなり、その電気抵抗が大きくなるため、作製される圧電薄膜デバイスの挿入損失が増加する傾向にある。

また、第2のピアホール22の深さ即ち基板12の厚さから第1のピアホール21の深さを除いた寸法はTである。Tは、好ましくは10μm～150μmであり、更に好ましくは15～100μmであり、特に好ましくは20～80μm

である。第2のピアホール22の深さTが大きくなりすぎると、第2のピアホール22の加工精度が低下しやすくなり、歩留まりが低下する傾向にある。また、この深さが小さくなりすぎると、振動部23及びその周囲の強度が低下し、特にダイシング工程などの製造工程において破損する確率が著しく増加する傾向にある。

5 る。

以上のように、振動用空間20を構成するピアホールの形成の工程を2段階に分けることにより、基板の厚さ全体を1つの工程でドライエッチング法やDeep RIE法を用いて一気にピアホール形成を行うのに比べて、基板面内でのエッチング速度差による加工ムラが低減され、加工形状の安定性が著しく向上する。

10 特に、共振器の特性には振動部23が露出する振動用空間20の開口部即ち基板12の上面側の第2のピアホール22の開口部の形状が影響するのであるが、本発明によれば、第2のピアホール22の形成は基板12の厚さに比べて小さい深さTにつき行えばよいので、第2のピアホール22の開口部の形状を高い精度で所要のものとすることができます。かくして、基板面内の位置によらず特性の安定15 した圧電薄膜共振器の製造が可能となる。

図3は本発明による圧電薄膜デバイス（圧電薄膜フィルタ11）の実施形態を示す模式的平面図であり、図4はそのX-X断面図である。これらの図においては、上記図1および図2における部材と同様の機能を有する部材には同一の符号が付されている。

20 本実施態様では、圧電積層構造体14の一部及び絶縁体層13の一部により構成される互いに隣接した4つの振動部23に対して共通の第1のピアホール21が形成されており、該ピアホールの底面に相当する中間面25から各振動部23に向けて個別に第2のピアホール22が形成されている。

本実施形態では、第1のピアホール21を複数の振動部23のそれぞれのための振動用空間の一部を共有するように形成しているため、厚みの大きい基板12を使用しても、互いに隣接する振動部間の距離は、第2のピアホールの間隔のみで調整でき、隣接振動部同士を近接させることができるために、基板を有効に活用することが出来るとともに、これら振動部に接続される配線等を短くできるため、信号の損失の少ない優れたフィルタ等を提供することができる。

30 図5は本発明による圧電薄膜デバイス（圧電薄膜フィルタ11）のさらに別の

実施形態を示す模式的平面図であり、図6はそのX-X断面図である。これらの図においては、上記図1～図4における部材と同様の機能を有する部材には同一の符号が付されている。

本実施形態は、基板12として、SOI (Silicon on Insulator) ウエハを用いている。SOIウエハは、酸化されていないウエハ（ベースウエハ）12aと必要な酸化膜からなる絶縁層12cが付加形成されたウエハ（ボンドウエハ）12bの絶縁層12c側とを貼り合せ、ボンドウエハ12bの他方側（活性層側）を研削・研磨することにより、基板12の厚み方向の任意の位置に絶縁層12cを配置してなるウエハである。

シリコン基板のKOH水溶液などを用いたウェットエッチング法、SF₆ガスを用いるドライエッティング法、さらにはSF₆ガスとC₄F₈ガスとを交互に用いるDeep RIE法は、Siとその酸化物SiO₂とのエッティング速度差（選択比）を利用している。このエッティング速度差は通常100～400程度と大きい。すなわち、SiO₂はエッティング速度がSiに比べて非常に小さい。よって、第1のビアホール21を形成する際の終点として、SOIウエハの酸化膜(SiO₂)12cを用いれば、基板内の第1のビアホール21の中間面25の位置（深さ）をさらに高い精度で制御することが可能となる。

第2のビアホール22の形成の際には、適切な振動部23を形成するように特定の形状にSOIウエハの絶縁層12cをフォトリソグラフィによりふつ酸緩衝溶液でエッティング除去し、残留する絶縁層の単独もしくは残留絶縁層と残留フォトレジストとの双方をマスクとして用いて、Deep RIE法を行う。よって、加工精度は著しく向上し、基板面内の全域でほぼ均一な特性をもつ圧電薄膜フィルタを製造することが可能となる。

以下に実施例および比較例を示し、本発明をさらに詳細に説明する。

25 [実施例1]

本実施例では、以下のようにして、図1及び図2に示されている構造の複数の圧電薄膜デバイス（圧電薄膜共振器）を共通の基板を用いて作製した。

すなわち、厚さ200μmの4インチ(100)Siウエハの両面に熱酸化法により、厚さ0.3μmのSiO₂層を形成した後、Siウエハ上面にフォトレジストを塗布し、図1に示すごとき下部電極用のレジストパターン形成を行った。

このS i ウエハの上面に、DCマグネットロンスパッタ法により、ガス圧0. 5 Pa、基板温度150°Cの条件で、厚さ0.23 μmのMo層を形成した後、レジスト剥離液中で超音波洗浄を行うことによりMo層を所望の形状にパターン化して、下部電極を形成した。次に、このウエハの上面に、純度99.999%のAlターゲットを用い、反応性マグネットロンスパッタ法により、全ガス圧0.5 Pa、ガス組成Ar/N₂=1/1、基板温度300°Cの条件で、厚さ1.40 μmのAlN圧電体膜を形成した。次に、熱磷酸を使用したウェットエッチングにより、AlN圧電体膜を図1に示す所定の形状にパターン化した。続いて、フォトレジストを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DCマグネットロンスパッタ法により、厚さ0.17 μmのMo層を形成した。さらに、レジスト剥離液中で超音波洗浄を行うことにより、Mo層を所望の形状にパターン化して、上部電極を形成した。

以上 の方法により上面側に熱酸化膜からなる絶縁体層及び圧電積層構造体を作製したS i ウエハの下面側に、フォトレジストを塗布し、第1のピアホールのフォトマスクを用いてパターン化し、ふつ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして用いて、KOH水溶液中でウェットエッチすることにより、基板厚みの75%の150 μmの深さまでエッチングを行って、複数の第1のピアホールを形成した。

続いて、スプレー式のフォトレジスト塗布装置を用いて、第1のピアホールの底面も含めて基板の下面全体にフォトレジストを塗布した。さらに、形成すべき振動部の形状に等しいフォトマスクを用いて、フォトレジストをパターン化し、これをマスクとして用いてDeep RIE装置によりウエハ上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状の第2のピアホールを形成し、かくして第1のピアホール及び第2のピアホールからなる振動用空間を作製した。中間面の幅の最小値は5 μmであった。

以上の製造工程により、4インチS i 基板全面に、複数の振動部を形成し、複数の圧電薄膜共振器を形成した。形成された圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

本実施例における基板のサイズ及び厚み、第1及び第2のピアホール（単に

「ピア」と記すこともある：以下同様）の深さ、また得られた圧電薄膜共振器の破損率、周波数分布、及びデバイス歩留まり（周波数分布±0.1%以内で破損の無い合格品の割合）は表1に示す通りであった。

[表1]

	デバイス構造	基板サイズ		ピア深さ(μm)		デバイス サイズ (mm□)	破損率 (%)	周波数分 布 (%)	デバイス 歩留まり (%)
		直径 (inch)	厚み (μm)	第1ピア	第2ピア				
実施例1	図1, 2	4	200	150	50	1.0	0.4	±0.18	85
実施例2	図1, 2	4	200	180	20	1.0	1.0	±0.11	97
実施例3	図1, 2	4	200	100	100	1.0	0.2	±0.35	58
実施例4	図3, 4	6	300	240	60	1.0	0.4	±0.23	71
実施例5	図3, 4	6	300	200	100	1.0	0.2	±0.42	54
実施例6	図5, 6	6	550	500	50	1.0	0.6	±0.19	80
実施例7	図5, 6	6	550	530	20	1.0	1.2	±0.12	94
比較例1	図8, 9	4	200	-	-	1.0	5.0	±1.00	20
比較例2	図10, 11	6	300	-	-	1.0	7.0	±3.30	5
比較例3	図12, 13	4	200	-	-	2.4	12.0	±0.55	33

5 [実施例2]

本実施例では、以下のようにして、図1及び図2に示されている構造の圧電薄膜デバイス（圧電薄膜共振器）を作製した。

すなわち、第1のピアホール及び第2のピアホールの深さをそれぞれ180μm及び20μmとしたこと以外は実施例1と同様な方法で圧電薄膜共振器を作製した。

本実施例における基板のサイズ及び厚み、第1及び第2のピアホールの深さ、また得られた圧電薄膜共振器の破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

[実施例3]

15 本実施例では、以下のようにして、図1及び図2に示されている構造の圧電薄膜デバイス（圧電薄膜共振器）を作製した。

すなわち、第1のピアホール及び第2のピアホールの深さをそれぞれ100μm及び100μmとしたこと以外は実施例1に示す方法と同様な方法で圧電薄膜共振器を作製した。

本実施例における基板のサイズ及び厚み、第1及び第2のピアホールの深さ、また得られた圧電薄膜共振器の破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

[実施例4]

5 本実施例では、以下のようにして、図3及び図4に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

すなわち、厚さ $300\mu\text{m}$ の6インチ(100)Siウェハを用い、第1のピアホール及び第2のピアホールの深さをそれぞれ $240\mu\text{m}$ 及び $60\mu\text{m}$ としたこと以外は実施例1に示す方法と同様な方法で圧電薄膜フィルタを作製した。

10 本実施例における基板のサイズ及び厚み、第1及び第2のピアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

[実施例5]

本実施例では、以下のようにして、図3及び図4に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

すなわち、第1のピアホール及び第2のピアホールの深さをそれぞれ $200\mu\text{m}$ 及び $100\mu\text{m}$ としたこと以外は実施例4に示す方法と同様な方法で圧電薄膜フィルタを作製した。

本実施例における基板のサイズ及び厚み、第1及び第2のピアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

[実施例6]

本実施例では、以下のようにして、図5及び図6に示されている構造の複数の圧電薄膜デバイス（圧電薄膜フィルタ）を共通の基板を用いて作製した。

25 すなわち、熱酸化法により、厚さ $550\mu\text{m}$ の6インチSOIウェハ（活性層厚み $50\mu\text{m}$ 、絶縁層厚み $0.5\mu\text{m}$ ）の両面に厚さ $0.5\mu\text{m}$ の SiO_2 層を形成した後、上面側（活性層側）にフォトレジストを塗布し、図5及び図6に示すごとき下部電極用のレジストパターン形成を行った。このSiウェハの上面に、DCマグネットロンスパッタ法により、ガス圧 0.5Pa 、基板温度 150°C の条件で、厚さ $0.23\mu\text{m}$ のMo層を形成した後、レジスト剥離液中で超音波洗浄

を行うことによりMo層を所望の形状にパターン化して下部電極を形成した。次に、このウェハの上面に、純度99.999%のAlターゲットを用い、反応性マグнетロンスパッタ法により、全ガス圧0.5Pa、ガス組成Ar/N₂=1/1、基板温度300°Cの条件で、厚さ1.40μmのAlN圧電体膜を形成した。
5 次に、熱磷酸を使用したウェットエッチングにより、AlN圧電体膜を図5及び図6に示す所定の形状にパターン化した。続いて、フォトレジストを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DCマグネットロンスパッタ法により、厚さ0.17μmのMo層を形成した。さら
10 に、レジスト剥離液中で超音波洗浄を行うことにより、Mo層を所望の形状にパターン化して上部電極を形成した。

以上の方法により、上面に熱酸化膜からなる絶縁体層及び圧電積層構造体を作製したSOIウェハの下面側に、フォトレジストを塗布し、第1のピアホールのフォトマスクを用いてパターン化し、ふつ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして用いて、KOH水溶液
15 中でウェットエッチすることにより、SOIウェハの絶縁層までエッチングを行った。続いて、スプレー式のフォトレジスト塗布装置を用いて、第1のピアホールの底面も含めて基板の下面全体にフォトレジストを塗布し、形成すべき振動部の形状に等しいフォトマスクを用いて、フォトレジストをパターン化した。続いて、ふつ酸緩衝溶液を用いてSOIウェハの絶縁層の一部を除去し、残留するフォトレジスト及び残留する絶縁層をマスクとして用いて、Deep RIE装置
20 によりウェハ上面に形成した熱酸化膜が露出するまでエッチングを行うことにより、第2のピアホールを形成し、かくして第1のピアホール及び第2のピアホールからなる振動用空間を作製した。

以上の製造工程により、6インチSOI基板全面に複数の振動部を形成し、複数の圧電薄膜フィルタを形成した。形成された圧電薄膜フィルタの中心周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

本実施例における基板のサイズ及び厚み、第1及び第2のピアホールの深さ、また得られた圧電薄膜フィルタの被損率、周波数分布、及びデバイス歩留まりは
30 表1に示す通りであった。

[実施例 7]

本実施例では、以下のようにして、図 5 及び図 6 に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

すなわち、活性層厚み $20 \mu\text{m}$ 、絶縁層厚み $0.5 \mu\text{m}$ の SOI ウエハを用い

5 たこと以外は実施例 6 に示す方法と同様な方法で圧電薄膜フィルタを作製した。

本実施例における基板のサイズ及び厚み、第 1 及び第 2 のピアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、及びデバイス歩留まりは表 1 に示す通りであった。

さらに、上記の工程によって複数の圧電薄膜デバイスの作り込まれた基板を 1
10 $1\text{mm} \times 1\text{mm}$ の形状にダイシングソーを用いて切断して、各デバイス毎の所望のチップを得た。デバイス化のためにチップ形状のままでは取り扱いが不便であるため、図 7 に示されているようにセラミックパッケージに内装した。一般的なセラ

ミックパッケージは複数の入力／出力パッドを持つチップからワイヤ・ボンディングで接続するものであるが、本実施例ではデバイス寸法を小さくするためにフ

15 リップ・チップ・ボンディング技術を利用した。

図 7 には、マイクロ波パッケージ 31 にフリップ・チップ・ボンディングで圧電薄膜フィルタ 11 のチップを実装してなるデバイス 30 が示されている。パッ

ケージ 31 はパッケージ基板 32 とキャップ 33 とからなる。圧電薄膜フィルタ 11 の下部電極または上部電極と接続されているボンディングパッド 40 は Au

20 バンプや半田バンプ等の接合部材 34 を介してセラミックスなどのマイクロ波パッケージ 31 内に配置された信号経路 35 と接続されている。信号経路 35 はセラミック等のパッケージ基板 32 内を通りパッケージ外に設けられた外部端子 36 に繋がっている。チップ形状が $1\text{mm} \times 1\text{mm}$ の場合、ワイヤ・ボンディングで接続

する方法ではデバイス寸法は $3\text{mm} \times 3\text{mm}$ となってしまうが、フリップ・チップ・ボンディングでは $2.3\text{mm} \times 2.3\text{mm}$ 程度に小型化できる。

[比較例 1]

本比較例では、以下のようにして、図 8 及び図 9 に示されている構造の圧電薄膜共振器を作製した。これらの図においては、上記図 1 および図 2 における部材と同様の機能を有する部材には同一の符号が付されている。

30 すなわち、基板上面側に実施例 1 記載の方法と同様な方法を用いて絶縁体層及

び圧電積層構造体を作製した。

次に、Siウェハの下面側に、フォトレジストを塗布し、実施例1に示す第2のピアホールの形成のためのフォトマスクを用いてパターン化し、ふつ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、残留する熱酸化膜及び

5 フォトレジストをマスクとして用いて、Deep RIE装置によりウェハ上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状のピアホールを形成することにより、振動用空間を作製した。

以上の製造工程により、4インチSi基板全面に複数の圧電薄膜共振器を形成した。形成された圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜共振器の破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

[比較例2]

本比較例では、以下のようにして、図10及び図11に示されている構造の圧電薄膜フィルタを作製した。これらの図においては、上記図3および図4における部材と同様の機能を有する部材には同一の符号が付されている。

すなわち、基板上面側に実施例4記載の方法と同様な方法を用いて絶縁体層及び圧電積層構造体を作製した。

次に、Siウェハの下面側に、フォトレジストを塗布し、実施例4に示す第2のピアホールの形成のためのフォトマスクを用いてパターン化し、ふつ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、残留する熱酸化膜及びフォトレジストをマスクとして用いて、Deep RIE装置によりウェハ上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状のピアホールを形成することにより、振動用空間を作製した。

25 以上の製造工程により、6インチSi基板全面に複数の圧電薄膜フィルタを形成した。形成された圧電薄膜フィルタの中心周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜フィルタの破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

30 [比較例3]

本比較例では、以下のようにして、図12及び図13に示されている構造の圧電薄膜共振器を作製した。これらの図においては、上記図1および図2における部材と同様の機能を有する部材には同一の符号が付されている。

すなわち、基板上面側に、使用するフォトマスクが異なること以外は実施例1

5 記載の方法と同様な方法を用いて、絶縁体層及び圧電積層構造体を作製した。

次に、Siウェハの下面側に、フォトレジストを塗布し、ウェットエッチ用のビアホール形成用フォトマスクを用いてパターン化し、ふつ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして用いて、KOH水溶液中でウェハ上面に形成した熱酸化膜が露出するまで異方性エッチングを行いビアホールを形成することにより、振動用空間を作製した。

以上の製造工程により、4インチSi基板全面に複数の圧電薄膜共振器を形成した。形成された圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜共振器の破損率、周波数分布、及びデバイス歩留まりは表1に示す通りであった。

また、本比較例記載の圧電薄膜共振器を複数個組み合せ、圧電薄膜フィルタを構成したが、隣り合う圧電薄膜共振器を接続する金属電極（配線部）が長くなることにより、挿入損失が著しく増大し、圧電薄膜フィルタとしての性能を確認することが困難であった。

20

産業上の利用可能性：

本発明によれば、第1のビアホールの底面から各振動部に対応する第2のビアホールを形成することで基板の振動用空間の形成を行うので、圧電薄膜デバイスの製造工程が単純化され、また基板面内におけるビアホール特に第2のビアホールの形成時のエッティング速度差の影響の低減や加工形状の均一化が可能となり、基板面内の位置によらず圧電薄膜デバイスの特性を著しく安定化させることができる。

請求の範囲

1. 振動用空間を有する基板と、該基板の上面側に形成された圧電積層構造体とを有しており、該圧電積層構造体は圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の少なくとも一部を含んで構成される振動部の振動を許容するように形成されている圧電薄膜デバイスであって、前記振動用空間は、前記基板内に中間面を形成するように前記基板の下面から上面に向けて形成された第1のピアホールと、上下方向に見て前記第1のピアホールの内側に位置するように前記中間面から前記基板の上面に向けて形成された第2のピアホールとにより構成されていることを特徴とする圧電薄膜デバイス。

2. 前記基板の上面側に複数の前記振動部が形成されており、前記第1のピアホールが前記複数の振動部のそれぞれのための前記振動用空間の一部を共有するように形成されており、さらに、前記中間面から前記複数の振動部のそれぞれに対応して複数の前記第2のピアホールが形成されていることを特徴とする、請求項1記載の圧電薄膜デバイス。

3. 上下方向に見て前記第2のピアホールが前記第1のピアホールの少なくとも $2\mu m$ 内側に位置することを特徴とする、請求項1記載の圧電薄膜デバイス。

4. 前記第2のピアホールの深さが $10\mu m \sim 150\mu m$ であることを特徴とする、請求項1記載の圧電薄膜デバイス。

5. 請求項1～4のいずれか記載の圧電薄膜デバイスを製造する方法であって、前記基板の振動用空間を形成するに際して、基板材の下面から上面に向けて該基板材内に底面を形成するように第1のピアホールを形成し、その後、上下方向に見て前記第1のピアホールの内側に位置するように前記底面から前記基板材の上面に向けて第2のピアホールを形成し、これにより前記基板材内に残留する前記底面の部分により前記中間面を形成することを特徴とする、圧電薄膜デバイスの製造方法。

6. 前記圧電薄膜デバイスは前記基板の上面側に複数の前記振動部を有しており、前記第1のピアホールを前記複数の振動部につき共通に形成し、前記底

面から前記複数の振動部のそれぞれに対応して複数の前記第2のピアホールを形成することを特徴とする、請求項5記載の圧電薄膜デバイスの製造方法。

7. 前記基板材としてS O I ウエハを使用し、その絶縁層の一部により前記第1のピアホールの底面を構成することを特徴とする、請求項5記載の圧電薄膜デバイスの製造方法。

8. 前記第2のピアホールを深掘り型反応性イオンエッチング法により形成することを特徴とする、請求項5記載の圧電薄膜デバイスの製造方法。

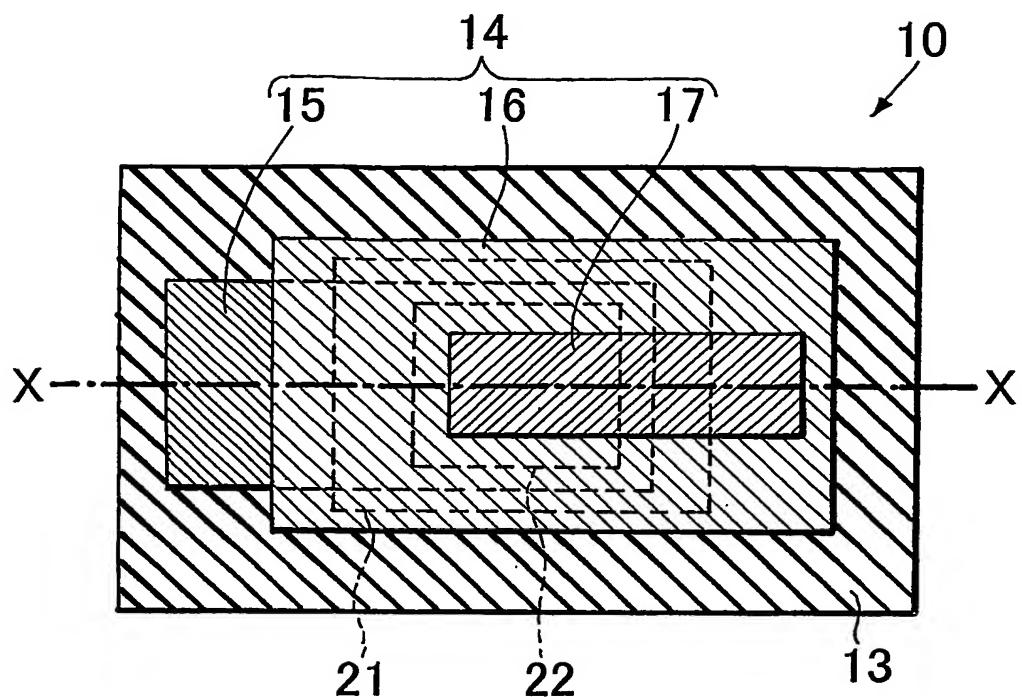
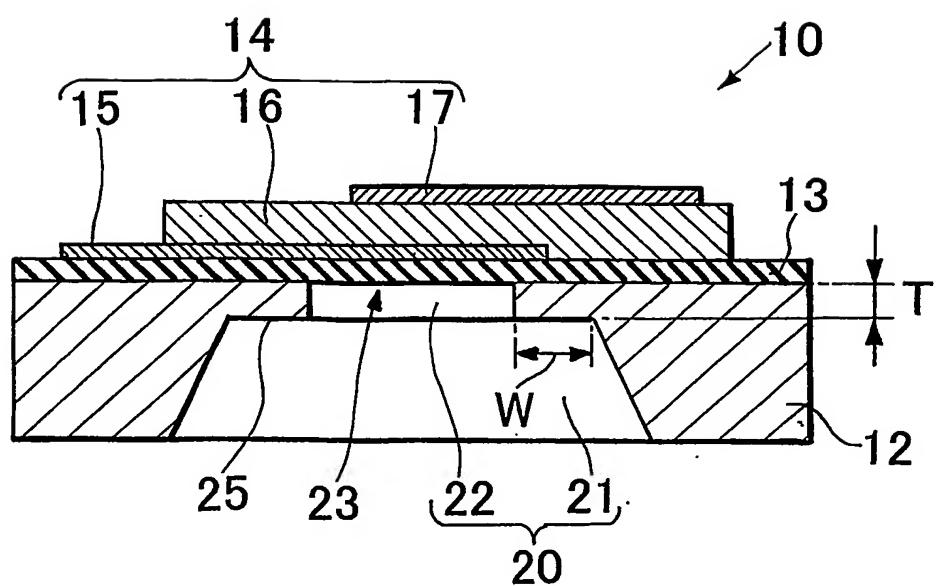
FIG.1**FIG.2**

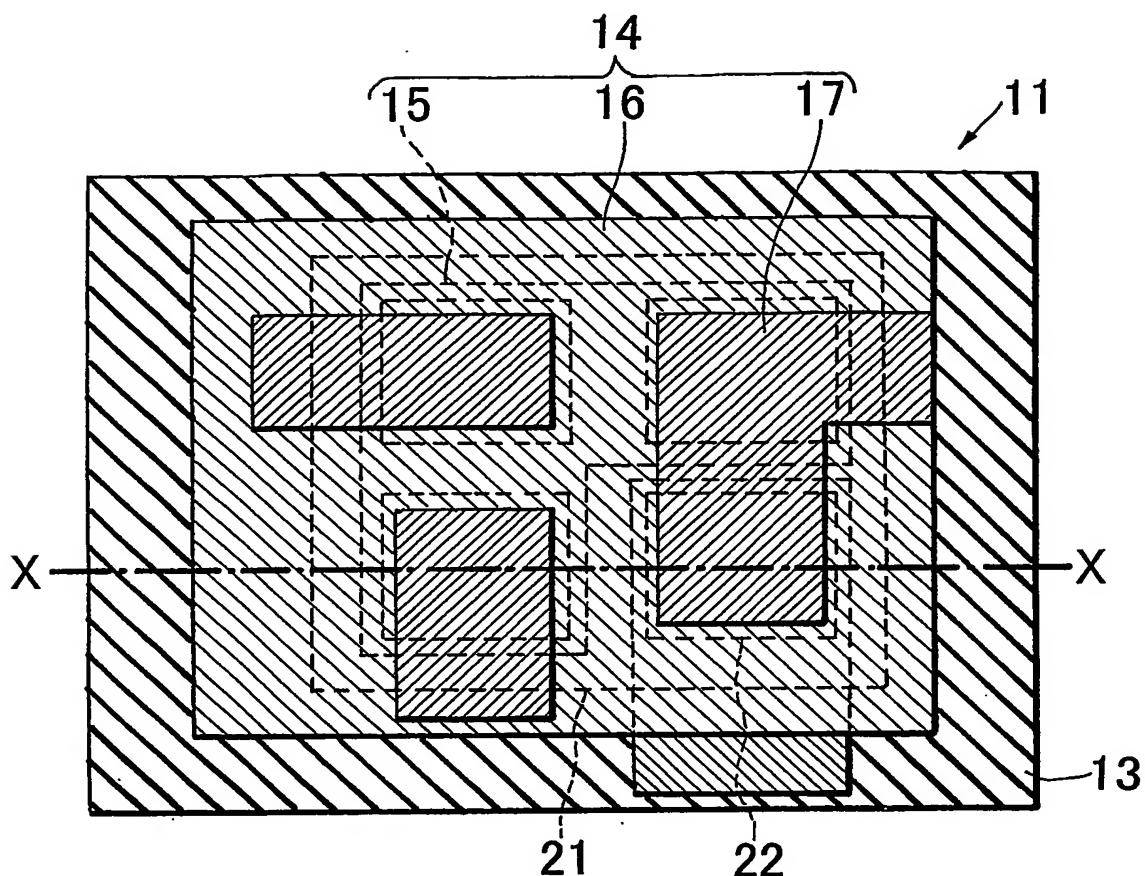
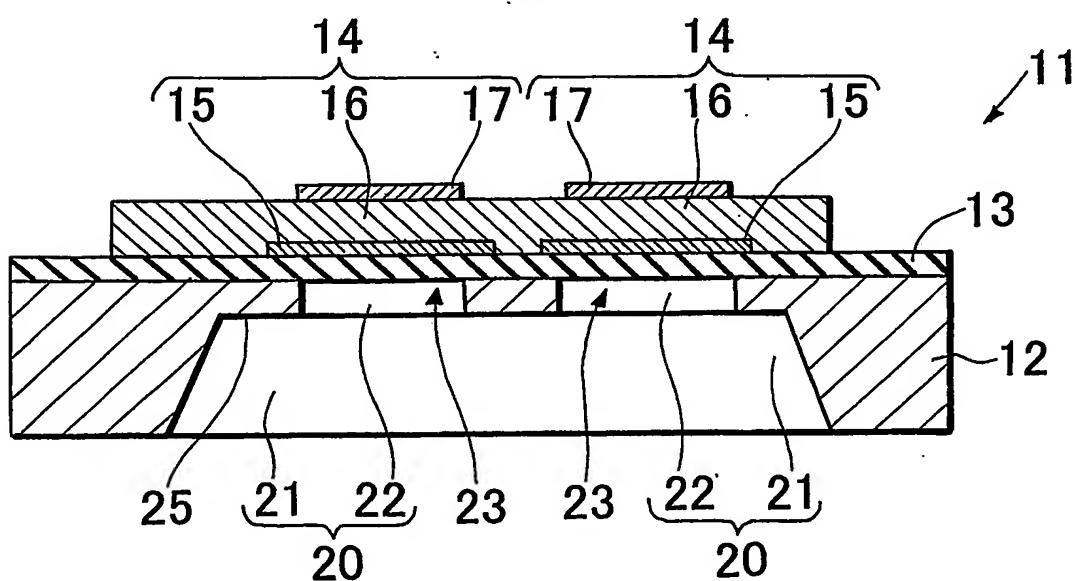
FIG.3**FIG.4**

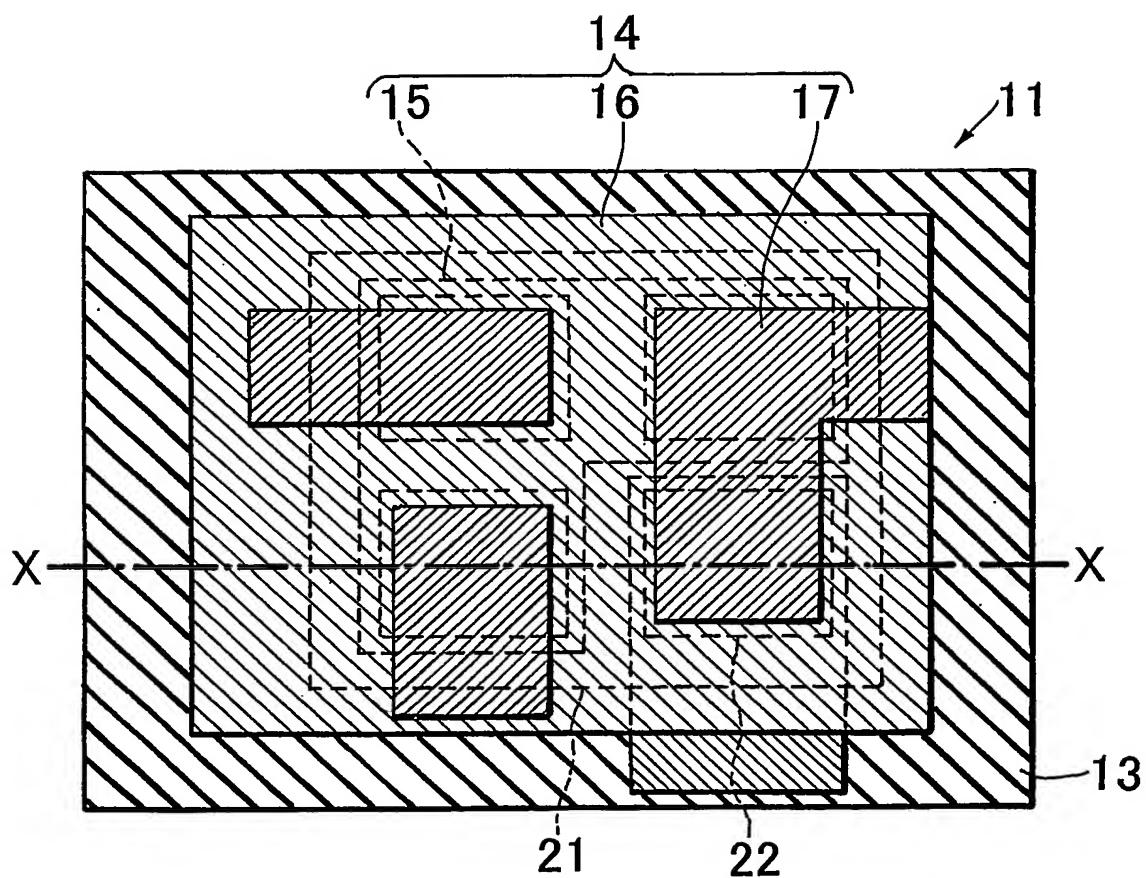
FIG.5

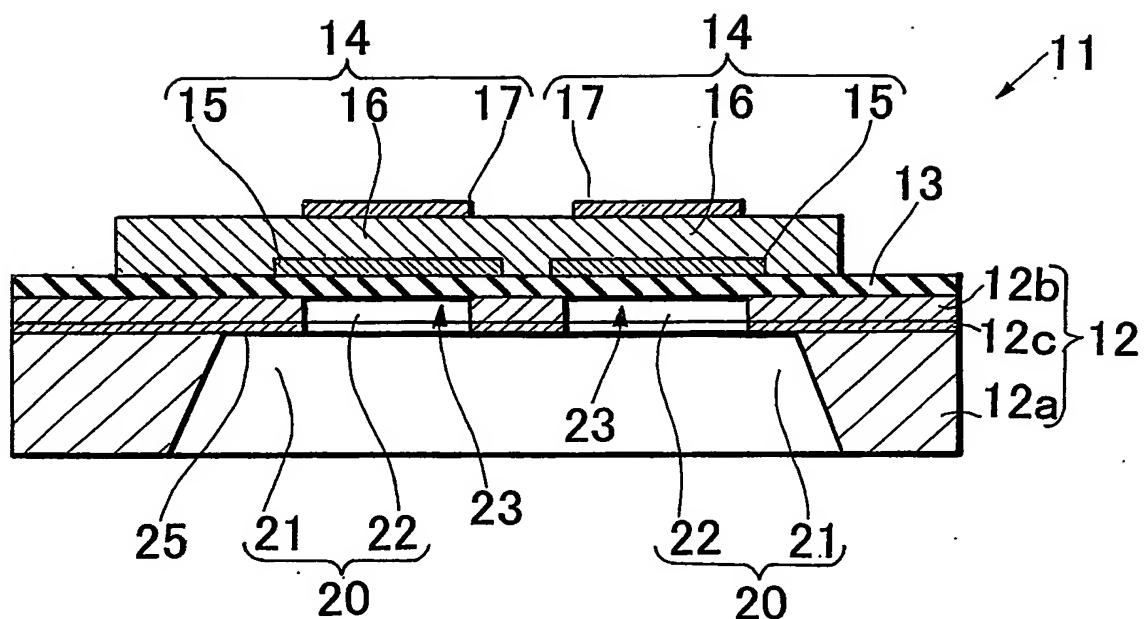
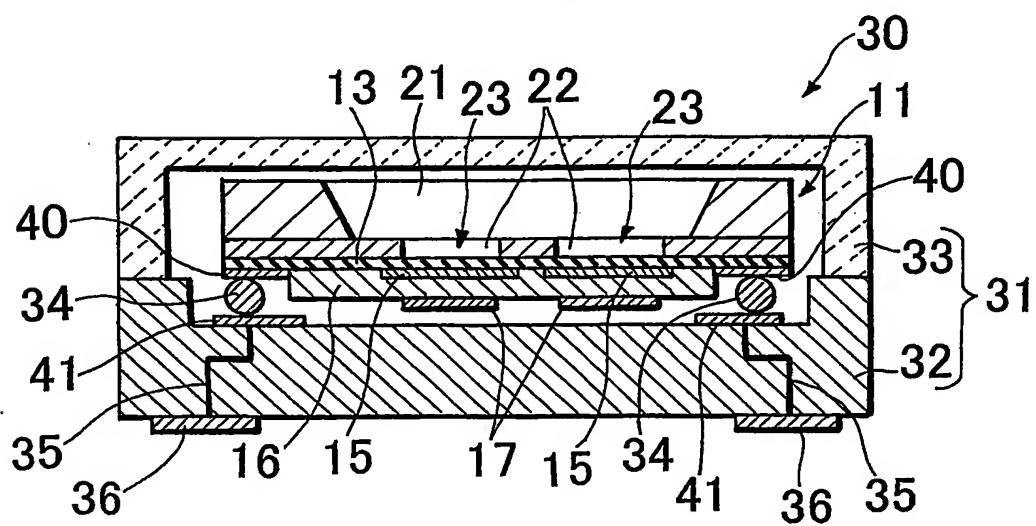
FIG.6**FIG.7**

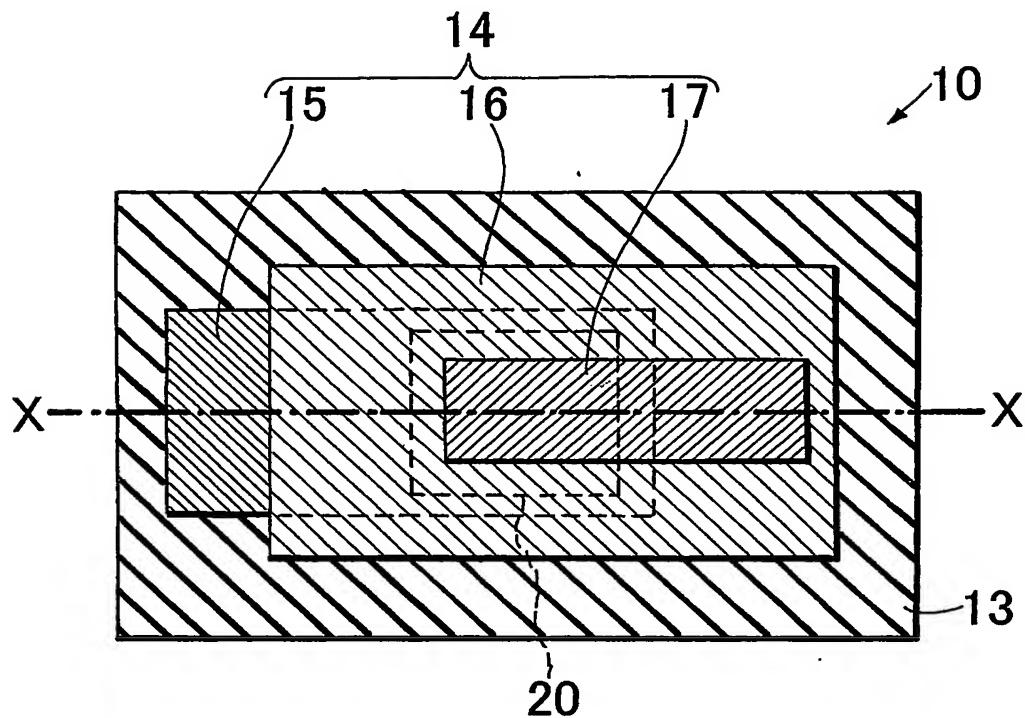
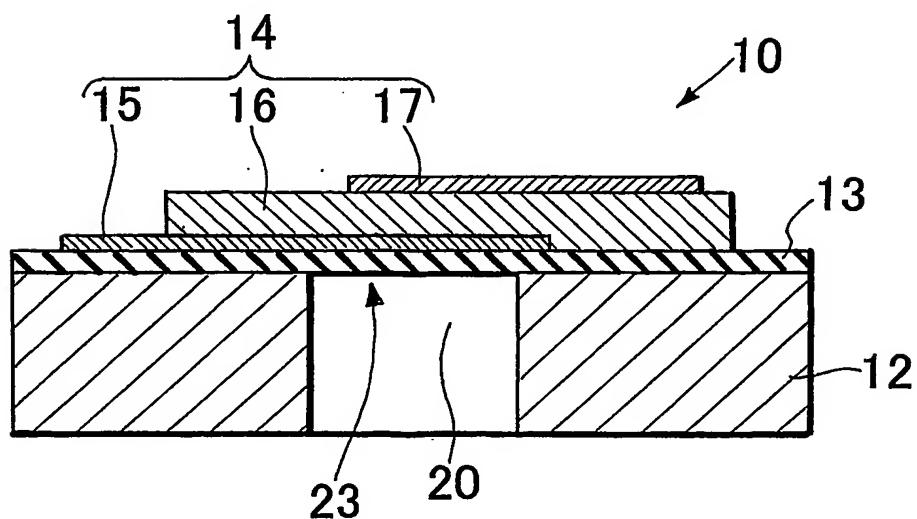
FIG.8**FIG.9**

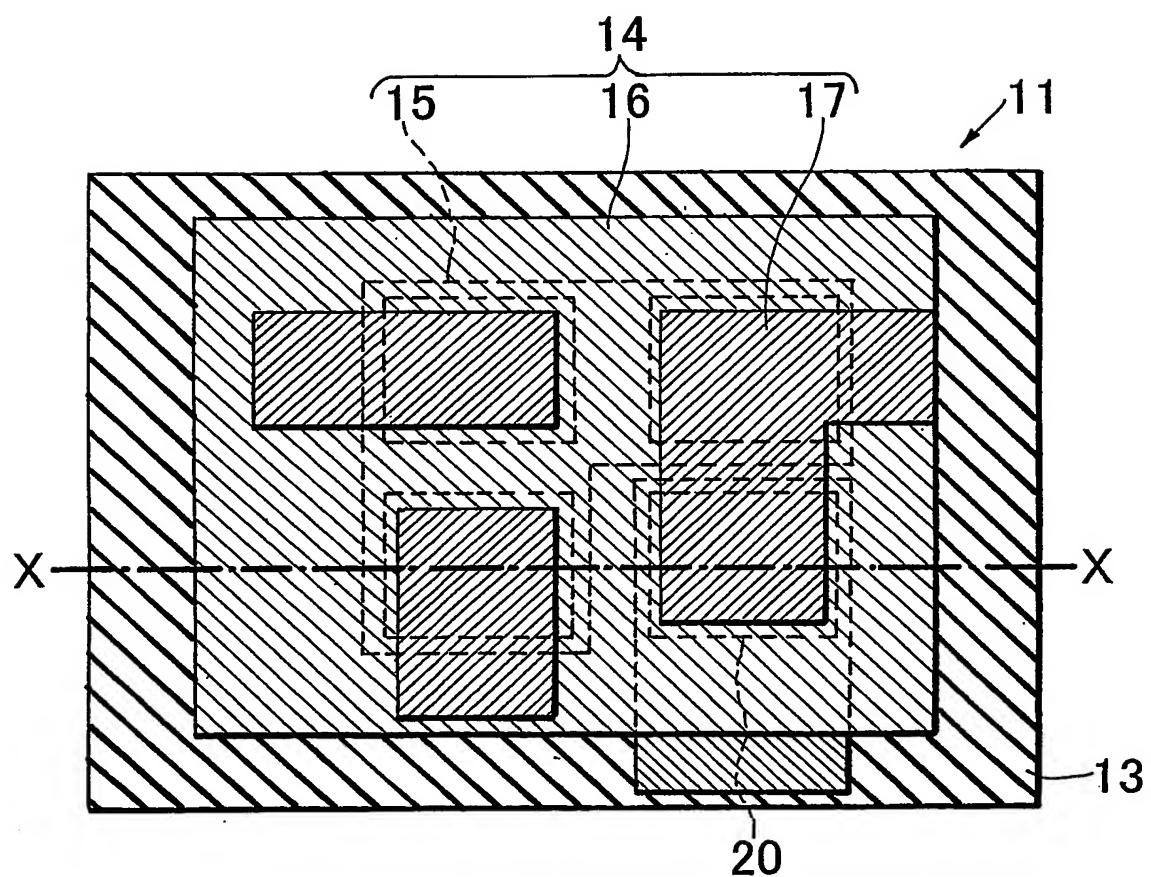
FIG.10

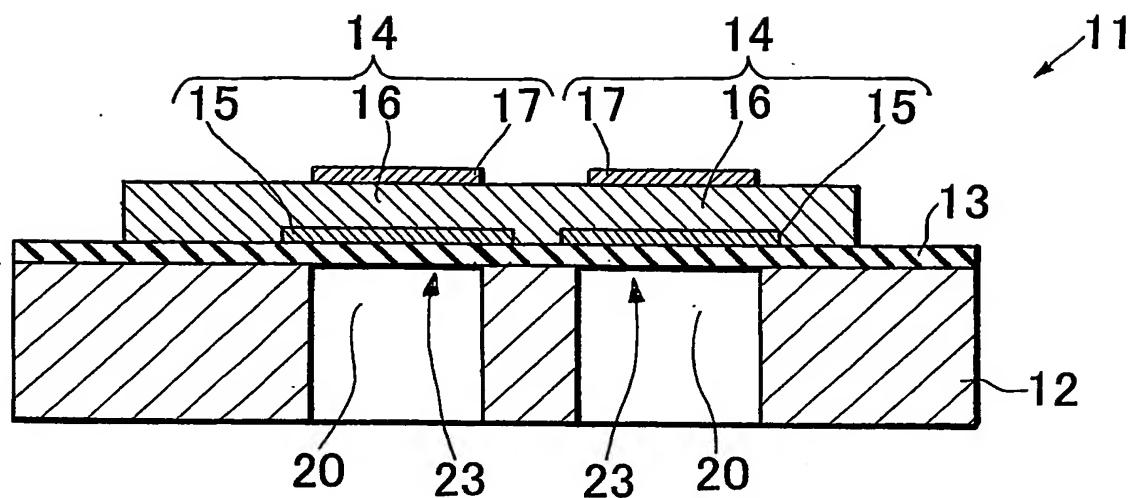
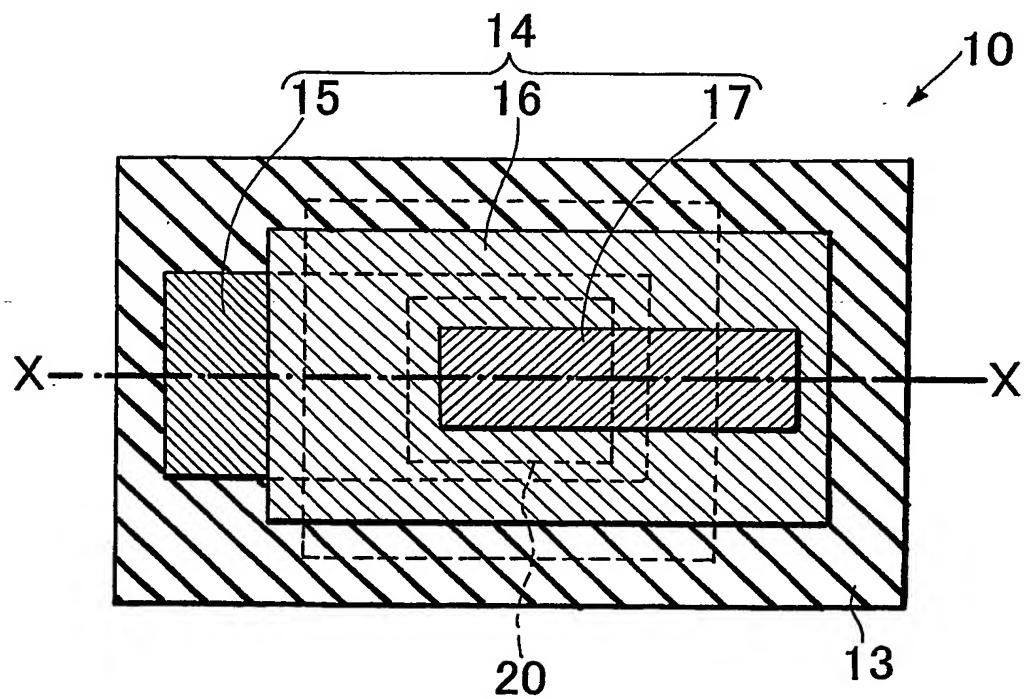
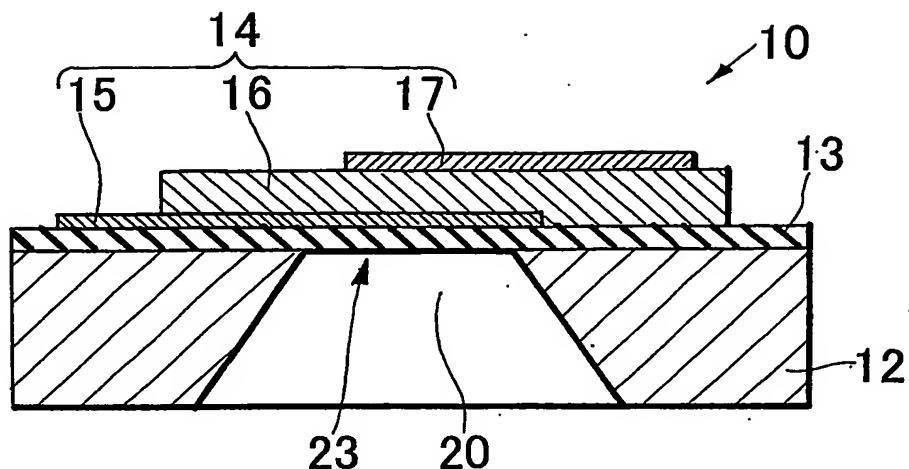
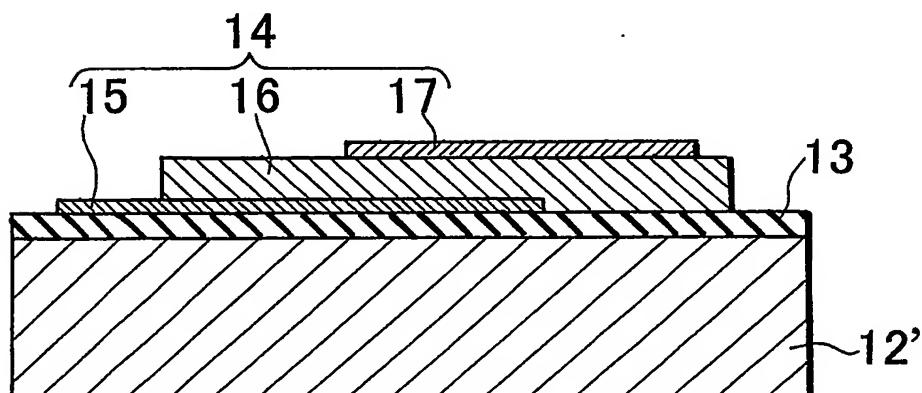
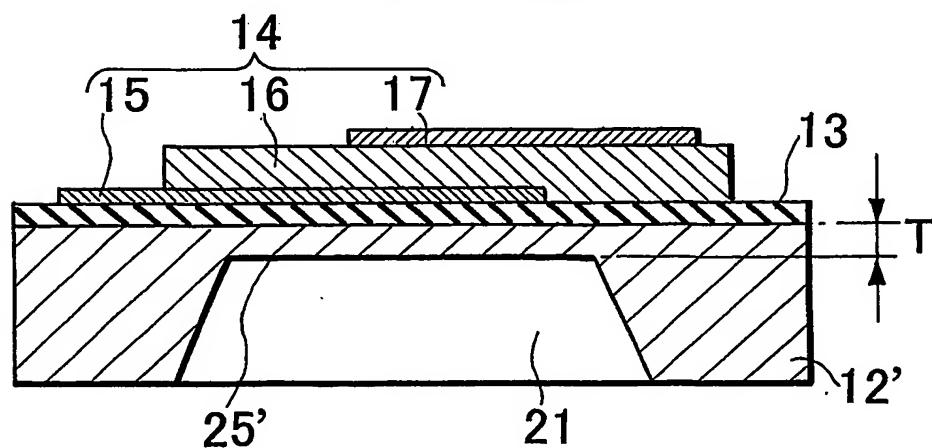
FIG. 11**FIG. 12**

FIG. 13**FIG. 14A****FIG. 14B**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004507

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H9/17, H03H3/02, H01L41/107, H01L41/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H9/17, H03H3/02, H01L41/107, H01L41/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-017973 A (Murata Mfg. Co., Ltd.), 17 January, 2003 (17.01.03), Full text; all drawings (Family: none)	1-8
Y	JP 59-086916 A (Murata Mfg. Co., Ltd.), 19 May, 1984 (19.05.84), Page 2, lower right column, lines 3 to 13; Figs. 3, 4 (Family: none)	1-8
Y	JP 2001-004470 A (Hitachi, Ltd.), 12 January, 2001 (12.01.01), Page 4, right column, lines 8 to 10; all drawings (Family: none)	8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
28 June, 2004 (28.06.04)Date of mailing of the international search report
13 July, 2004 (13.07.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/004507

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-223145 A (Murata Mfg. Co., Ltd.), 09 August, 2002 (09.08.02), Full text; all drawings. (Family: none)	1-8
A	JP 2002-353760 A (Toko, Inc.), 06 December, 2002 (06.12.02), Full text; Fig. 1 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. C1' H03H9/17 H03H3/02 H01L41/107 H01L41/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. C1' H03H9/17 H03H3/02 H01L41/107 H01L41/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 WP I/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-017973 A (株式会社村田製作所) 2003. 01. 17 全文、全図 (ファミリーなし)	1-8
Y	JP 59-086916 A (株式会社村田製作所) 1984. 05. 19 第2頁右下欄第3-13行、第3、4図 (ファミリーなし)	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28. 06. 2004

国際調査報告の発送日

13. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W 3248

電話番号 03-3581-1101 内線 3574

C(続き) .	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2001-004470 A (株式会社日立製作所) 2001. 01. 12 第4頁右欄第8-10行，全図 (ファミリーなし)	8
Y	JP 2002-223145 A (株式会社村田製作所) 2002. 08. 09 全文，全図 (ファミリーなし)	1-8
A	JP 2002-353760 A (東光株式会社) 2002. 12. 06 全文，第1図 (ファミリーなし)	1-8